

Centro de Informática

Universidade Federal da Paraíba

**Disciplinas:** Arquitetura de Dados

**Professor:** Ewerton Monteiro

TRABALHO COM MICROPROGRAMAÇÃO

Vanessa Bonifácio

João Pessoa, 23 de Setembro de 2019

# **Índice**

[**Índice**](#_qabxmzew2bbs) **2**

[**Roteiro e Informações**](#_umdwlowxmdwt) **4**

[**Introdução**](#_2krsxmi7ln5b) **6**

**Apresentação geral da solução 7** [9](#_kk4haeb4cluy)

**Apresentação das micro instruções da instrução mrswap** 12

**Apresentação de como ficou o micro programa no todo**

**Diagrama de estados**

[4.1. Latch RS NAND (BDF e Verilog)](#_nd6uai1b3hp) 14

[4.2. Latch RS NOR (BDF e Verilog)](#_lw6ic6brddjs) 14

[4.3. Latch RS AND-OR (BDF e Verilog)](#_1nnrx9ga0de4) 14

[4.4. Latch RS Controlado (BDF e Verilog)](#_l6c3rt88dhrd) 15

[4.5. Latch D (BDF e Verilog)](#_9esysf9t4xc1) 15

[4.6. Latch D Controlado (BDF e Verilog)](#_camqoyuuoi0v) 15

[4.7. Flip-Flop D (BDF e Verilog)](#_g78u7z7ybkq2) 16

[4.8. Flip-Flop D Mestre-Escravo (BDF e Verilog)](#_7d13byne40dz) 16

[4.9. Flip-Flop T (BDF e Verilog)](#_kmifp2f5myem) 17

[4.10. Flip-Flop JK (BDF e Verilog)](#_uywrfdt0uyzg) 17

[**Experiência 05 - Blocos de Memória**](#_p4siolio3nlj) **18**

[5.1. Contador Assíncrono de 4 bits (BDF e Verilog)](#_xipk1wl5ijd8) 18

[5.2. Contador Síncrono de 4 bits (BDF e Verilog)](#_5dt4ec29254k) 18

[5.3. Contador de Década (BDF e Verilog)](#_ho0hiu6xbkbl) 18

[5.4. Registrador de 4 bits (BDF e Verilog)](#_dl6ulxt8ygou) 19

[5.1. Registrador de Deslocamento 4 bits (BDF e Verilog)](#_al77y8itskpy) 19

[**Experiência 06 - Criação de uma ULA**](#_jcmyqzw7ht5o) **20**

[6.1. Descrição da ULA 74181](#_10b732yk0nct) 20

[6.2. Atividade de Criação de ULA](#_ivrp8ptvbh3t) 22

[6.3. Projeto Lógico da ULA](#_jzpcp3t003e6) 23

[6.4. Estratégia de Montagem e Depuração para a ULA](#_4e0mg1fcujxb) 23

[6.5. Testes Realizados](#_42ibgztkly6x) 23

[6.6. Questões Pós-Testes](#_2ockusmg146e) 23

[**Experiência 07 - Criação de uma CPU**](#_o3an0vtrz7jc) **23**

[**Conclusão**](#_e08s03o260my) **24**

[**Referências**](#_coh0jsskb1m5) **25**

# 

# **Roteiro e Informações**

Esta lista de exercícios tem como objetivo a prática de assuntos relacionados às áreas de Circuitos Digitais que são abordadas nas disciplinas de Circuitos Lógicos 1 e 2. Para os alunos de CL1 o foco deve ser uma abordagem baseada em arquivos de diagramas de circuitos ou arquivos **.bdf** (Block Design Files). Já os alunos da disciplina de CL2 devem realizar as atividades através de uma abordagem baseado na Linguagem de Descrição de Hardware **(HDL) Verilog**. Caso o estudante já possua a lista realizada em CL1 aconselha-se complementar a mesma com as informações de CL2 e realizar um comparativo para cada exercício para os casos feitos em Diagramas e em Verilog.

A seguir são mostradas algumas informações importantes para o preenchimento do relatório. É importante que os passos sejam seguidos e que você faça o seu próprio relatório para ajudar a fixar os conteúdos vistos em sala.

**Chip, Device, Input Pins, Output Pins e Células Lógicas:** Ao realizar a compilação de seu projeto o Quartus II cria diversos arquivos. Um dos arquivos possui a extensão .rpt, este possui o mesmo nome do módulo criado e contém informações referentes à compilação e simulação de seu projeto. Tais informações incluem: nome do chip, device, pinagem e número de LCs (células lógicas ou macrocélulas ) usadas, dentre diversas outras informações úteis.

**Delay:** Se refere ao tempo de atraso do circuito, chamado de "Worst-case tpd" e presente no arquivo .rpt referente às informações de "Timing Analyzer", localizadas no arquivo: "nome\_do\_modulo.tan.rpt".

**Comentários e Aplicações:** A descrição do seu chip, como também a sua aplicação é fundamental para sua utilização.

**Descrição:** Insira aqui o código em Verilog ou o Diagrama Gráfico de Circuitos para o módulo que você criou.

**Forma de Onda:** Nesta atividade você deve inserir a imagem de simulação através da forma de onda para o módulo que você criou.

**Abrangência:** Após a realização da simulação, o Quartus II informa o quanto a simulação está conseguindo avaliar o chip que você está criando. O nome dado a esta avaliação é *Simulation Coverage* (Cobertura da Simulação) ou *Total Coverage* (Cobertura Total). Tal informação também se encontra no arquivo com extensão .rpt.

**Download do Ambiente Quartus II:**

https://www.intel.com/content/www/us/en/programmable/downloads/download-center.html

**Manual de Introdução ao Quartus II:**

https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/manual/intro\_to\_quartus2.pdf

**Obs 01:** Para uma boa documentação utilize a seguinte regra: escolha nome de variáveis adequados; comente o que irá fazer antes para evitar retrabalho; cada momento onde será executado a semântica, indique através de referências. É importante que o arquivo esteja sempre bem documentado e com a documentação atualizada. Documentações atrasadas provocam erros de projeto e dificultam entendimento.

**Obs 02:** Esta lista está em constante melhoria, ampliação e modificação. Caso você encontre algum erro ou possua alguma sugestão de melhoria por gentileza envie um e-mail para [eudisley@ci.ufpb.br](mailto:eudisley@ci.ufpb.br).

# 

# **Introdução**

Escreva aqui uma Introdução sobre o relatório aqui incluindo os objetivos que você vislumbra na realização das atividades, o que espera encontrar e aprender durante a realização dos experimentos e o quais habilidades você espera desenvolver ao término do mesmo.

# Experiência 01 - Portas Lógicas

## 1.1. Porta NOT (BDF ou Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **1.1** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 1.2. **Porta NOT (**BDF **ou Verilog)**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **1.2** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 1.3. **Porta AND (**BDF **ou Verilog)**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **1.3** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 1.4. **Porta OR (**BDF **ou Verilog)**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **1.4** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 1.5. **Porta XOR (**BDF **e Verilog)**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **1.5** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 1.6. **Porta NAND (**BDF **e Verilog)**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **1.6** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 1.7. **Porta NOR (**BDF **e Verilog)**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **1.7** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 1.8. **Porta XNOR (**BDF **e Verilog)**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **1.8** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

# 

# Experiência 02 - Blocos Lógicos

## 2.1 Somador de 3 bits (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **2.1** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 2.2.Comparador de base 4 (BDF e Verilog)

Obs: Em Verilog crie seu comparador em alto nível, em binário e com chaveamento.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **2.2** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 2.3. Decodificador 4 saídas (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **2.3** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 2.4 Multiplexador 4 entradas (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **2.4** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 2.5 Demultiplexador 4 saídas (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **2.5** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 2.6 Codificador de 8 saídas especificado (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **2.6** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

# 

# Experiência 03 - Display de 7 Segmentos

## 3.1 Controlador de display de 7 segmentos (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **3.1** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 3.2. Design Laboratory Package

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **2.8** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

# 

# Experiência 04 - Circuitos Sequenciais

## 4.1. Latch RS NAND (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **4.1** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 4.2. Latch RS NOR (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **4.2** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 4.3. Latch RS AND-OR (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **4.3** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 4.4. Latch RS Controlado (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **4.4** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 4.5. Latch D (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **4.5** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 4.6. Latch D Controlado (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **4.6** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 4.7. Flip-Flop D (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **4.7** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 4.8. Flip-Flop D Mestre-Escravo (BDF e Verilog)

**Obs:** Verifique a diferença entre edge-triggered, dual-edge-triggered e edge-triggered dynamic. Se possível, implemente os mesmos e adicione ao seu relatório.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **4.8** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 4.9. Flip-Flop T (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **4.9** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 4.10. Flip-Flop JK (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **4.10** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

# 

# Experiência 05 - Blocos de Memória

## 5.1. Contador Assíncrono de 4 bits (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **5.1** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 5.2. Contador Síncrono de 4 bits (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **5.2** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 5.3. Contador de Década (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **5.3** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 5.4. Registrador de 4 bits (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **5.4** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

## 5.1. Registrador de Deslocamento 4 bits (BDF e Verilog)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Exercício:** | **5.1** | | | | |
| **Chip** | **Device** | **Input Pins** | **Output Pins** | **LCs** | **Delay** |
|  |  |  |  |  |  |
| **Comentários e Aplicações:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Descrição:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Forma de Onda:** Para detalhes do que inserir veja a seção roteiro. | | | | | |
| **Abrangência:** XX% | | | | | |

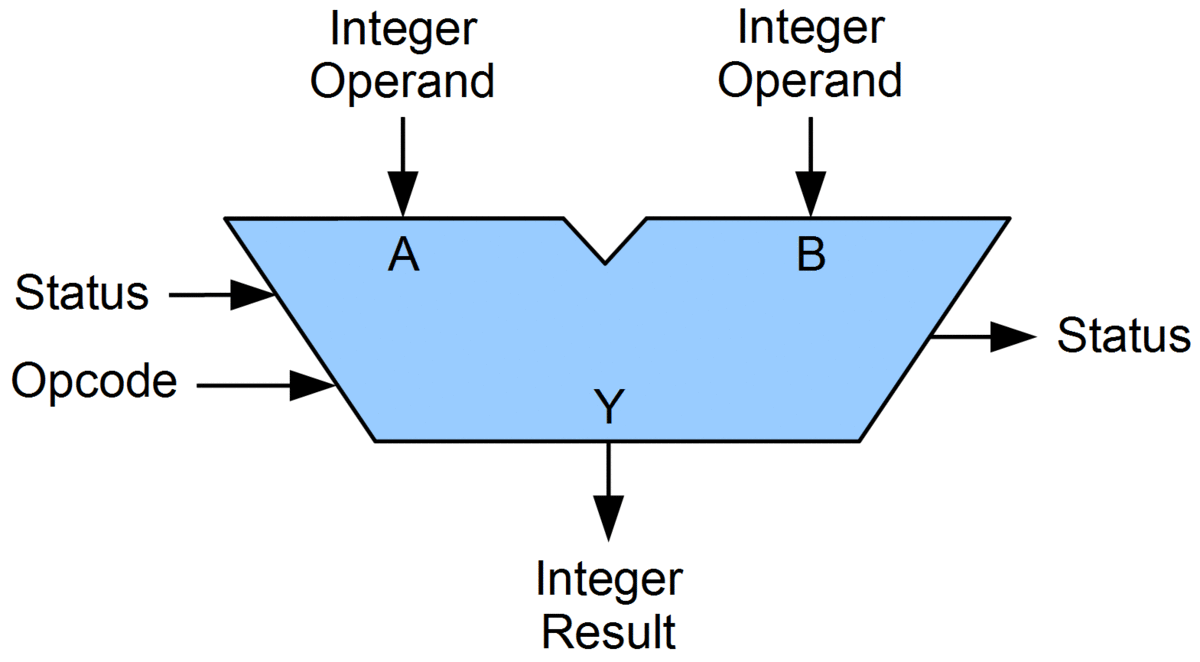
# Experiência 06 - Criação de uma ULA

## 6.1. Descrição da ULA 74181

Uma Unidade de Lógica Aritmética ou mais simplesmente ULA é a parte de um processador que efetua as operações lógicas e aritméticas e pode ser encontrada nos mais diversos processadores de dados encontrados hoje em dia.

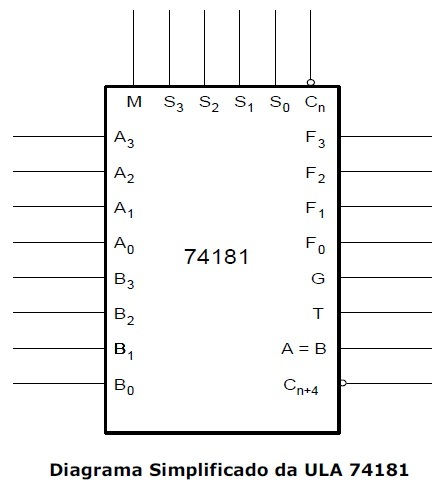
Proposta em 1946 pelo matemático John Von Neumann, a ULA é de vital importância para o processamento dos cálculos de forma mais rápida e contempla diversas operações, tais como: Operações aritméticas com inteiros; operações lógicas bit a bit: AND, NOT, OR, XOR; Operações de deslocamento de bits\* (deslocamento de número específico de bits para esquerda ou direita, com ou sem sinal); operações de multiplicação e operações de divisão (deslocamentos de bits podem ser interpretados como multiplicações ou divisões por 2).

A Figura 6.1 a seguir mostra um esquema simplificado de uma ULA. De forma resumida as referências A e B representam os dados de entrada que são processados de acordo com a operação escolhida pela seleção (S). O resultado obtido é enviado para a função de saída denominado de F



**Figura 6.1:** Modelo de uma ULA genérica. **Fonte: wikipedia.org**

Um exemplo de ULA que vimos em sala de aula é o circuito integrado MSI 74181. Este circuito é uma ULA de 4 bits e pode executar 16 operações aritméticas binárias e 16 operações lógicas. Na Figura 6.2 podemos ver um diagrama simplificado deste circuito integrado.



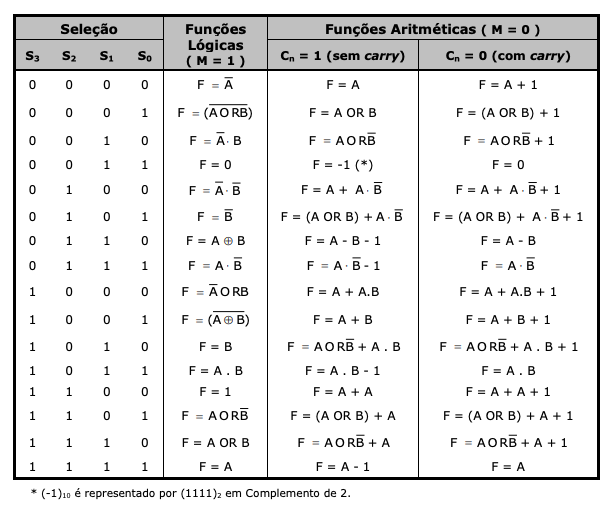
**Figura 6.2:** Diagrama Simplificado da ULA 74181

As tabelas 6.1 e 6.2 a seguir apresentam a descrição dos pinos e as operações da ULA, respectivamente.

**Tabela 6.1:** Descrição dos pinos da ULA 74181

|  |  |  |
| --- | --- | --- |
| **Pinos** | **Tipos** | **Descrição** |
| A0 a A3 e B0 a B3 | Entrada | Dados de entrada |
| Cn | Entrada | Bit de "vem um" |
| S0 a S3 | Entrada | Seleção da operação |
| M | Entrada | Modo de operação: M=0 - para operações aritméticas M=1 - para operações lógicas |
| F0 a F3 | Saída | Dados de saída da operação |
| Cn+4 | Saída | Bit de "vai-um" |
| G e T | Saídas | Utilizadas para expansão utilizando carry look-ahead |
| A = B | Saída | Indica igualdade das duas entradas |

**Tabela 6.2:** Sinais e operações presentes na ULA 74181 (fonte: Laboratório Digital EPUSP)



**OBSERVAÇÃO:** Como a ULA 74181 é um circuito combinatório, podemos trabalhar através da representação de operandos em lógica positiva (como mostrado no Table 6.2) ou negativa. Para maiores detalhes aconselha-se uma leitura do manual do componente MSI 74181.

## 6.2. Atividade de Criação de ULA

Para realizar o desenvolvimento de sua ULA o projeto será dividido em 3 etapas:

1. Realização da elaboração do projeto lógico do circuito a ser desenvolvido incluindo os requisitos que o seu circuito deve atender e suas especificações, como será realizada a verificação e simulação do mesmo e o planejamento dos diagramas de tempo através das formas de onda.
2. Como será a estratégia de montagem de cada bloco e como os mesmos serão testados individualmente e após a integração. Caso algum erro seja encontrado um processo de depuração deve ser executado. Explique como será esse processo de depuração dos erros.
3. Por fim, testes de avaliação devem ser executados através da realização de pelo menos 4 das operações especificadas.

**OBSERVAÇÃO:** Para os alunos de Circuitos Lógicos 1 que desejarem, uma boa prática é a criação de um circuito que permita simular a sua ULA 74181 através de circuitos reais e um breadboard.

## 6.3. Projeto Lógico da ULA

Inserir aqui os requisitos que o seu projeto da ULA deve conter, diagrama geral de blocos e como será a verificação e simulação. Os requisitos do sistema aliados à uma visão de um diagrama de blocos permitem que você compreenda o circuito como um todo antes de desenvolvê-lo.

## 6.4. Estratégia de Montagem e Depuração para a ULA

Inserir aqui cada parte a ser desenvolvida para sua ULA, uma explanação das funcionalidades do mesmo e como será o procedimento de montagem e depuração. O processo de depuração deve ser pensado em cada bloco individualmente e após a integração dos mesmos para formação da ULA final.

## 6.5. Testes Realizados

Mostrar testes realizados para Validar a sua ULA, tais como forma de onda e testes de delay e explique como os mesmos foram realizados.

## 6.6. Questões Pós-Testes

**6.6.1.** Caso você quisesse **acrescentar mais funções à sua ULA**, como você procederia? Mostre um novo diagrama de blocos com as novas funções.

**6.6.2.** Assumindo que **tX** é o tempo no componente **X** (exemplo: **tAND1** - tempo de execução no componente AND1), como você estimaria o tempo de execução de uma operação na ULA criada?

**6.6.3.** Analisando o projeto da ULA criado por si, explique como seria o projeto de uma **ULA de 32** bits. Para isso, utilize como base a ULA de 4 bits da Experiência 05. Quais modificações são necessárias para obter a ULA de 32 bits?

# Experiência 07 - Criação de uma CPU

Falta fazer esta parte para um projeto mais detalhado de criação de um processador.

# **Conclusão**

Escreva aqui uma conclusão do seu relatório demonstrando as dificuldades encontradas, quais os pontos que considerou mais difíceis na resolução dos experimentos. Aproveite este campo para incluir sugestões de melhorias para este roteiro de experimentos. Isto ajudará com que possamos estar em constante melhoria e realizar modificações, inclusões e correções do nosso material.

# Referências

[1] Experimentos da Disciplina de Laboratório Digital, USP, São Paulo-SP

[2] José ANtônio Gomes de Lima. Experimentos da Disciplina de Laboratório de CIrcuitos Lógicos, UFPB, João Pessoa - PB

[3] Livros e Apostilas

[4] Fairchild Semiconductor. TTL Data Book. Mountain View, California, 1978.

[5] FREGNI, E. e SARAIVA, A. M. Engenharia do Projeto Lógico Digital: Conceitos e Prática. Editora Edgard Blücher Ltda, 1995.

[6] TOCCI, R. J.; WIDMER, N.S.; MOSS, G.L. Sistemas Digitais: Princípios e Aplicações. Prentice-Hall, 11 a ed., 2011.

[7] WAKERLY, John F. Digital Design Principles & Practices. 4th edition, Prentice Hall, 2006.